

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP404130735A

DOCUMENT-IDENTIFIER: JP 04130735 A

TITLE: MANUFACTURE OF THIN-FILM TRANSISTOR

PUBN-DATE: May 1, 1992

INVENTOR-INFORMATION:

NAME

FURUTA, MAMORU

KAWAMURA, TETSUYA

TSUTSU, HIROSHI

MIYATA, YUTAKA

YOSHIOKA, TATSUO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP02253248

APPL-DATE: September 21, 1990

INT-CL (IPC): H01L021/336, H01L021/225 , H01L027/12 , H01L027/146 , H01L029/40
, H01L029/784

US-CL-CURRENT: 438/FOR.184

ABSTRACT:

PURPOSE: To form both a p-channel transistor and an n-channel transistor as a capacitor depending on the selection of impurities by a method wherein a source-drain electrode which is composed of a metal silicide thin film doped with impurities is used.

CONSTITUTION: For example, a Cr thin film 12 is formed on a light-transmitting substrate 11, and an MOSixx thin film 13 doped with P (or B) is formed on it. The thin films 13, 12 are etched and removed to be the shape of a source- drain electrode. An undoped amorphous silicon thin film 14a is

formed; and the metal of the source-drain electrode is covered. An energy beam is irradiated; the amorphous silicon thin film 14a is crystallized to form a silicon thin film 14b. At the same time, impurities P contained in the source-drain electrode are taken into a semiconductor thin film and are made electrically active. The crystallized silicon thin film 14b is etched to be an island shape; after that, a gate insulating film 15 is formed; a gate electrode 16 is formed on it; and an n- (or F-) channel thin-film transistor is formed.

COPYRIGHT: (C)1992,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-130735

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月1日

H 01 L 21/336
21/225
27/12
27/146
29/40
29/784

M 8518-4M
K 7514-4M
A 7738-4M

9056-4M H 01 L 29/78 3 1 1 P
8122-4M 27/14 C

審査請求 未請求 請求項の数 5 (全6頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 平2-253248

⑰ 出 願 平2(1990)9月21日

⑱ 発 明 者	古 田 守	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	川 村 哲 也	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	筒 博 司	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	宮 田 豊	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	吉 岡 達 男	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑳ 代 理 人	弁理士 小 鍛 治 明	外 2 名	

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

(1) 透光性基板上に不純物をドーピングした、金属、金属シリサイド、導電性金属酸化物等からなるソース・ドレイン電極を選択的に形成する工程と、そのソース・ドレイン電極を被覆するように活性層となる半導体薄膜を形成する工程と、その半導体薄膜に対してエネルギービームの照射を行うとともに前記ソース・ドレイン電極中に含まれる不純物を前記半導体薄膜中に拡散させてその半導体薄膜を電気的に活性化させる工程と、その半導体薄膜をパターン形成する工程と、そのパターン化された半導体薄膜を含む前記透光性基板上にゲート絶縁膜を形成する工程と、その絶縁膜上にゲート電極を形成する工程とを少なくとも有する薄膜トランジスタの製造方法。

(2) 透光性基板上に第1の不純物をドーピングし

た、金属、金属シリサイド、導電性金属酸化物等からなる第1のソース・ドレイン電極を選択的に形成する工程と、その第1のソース・ドレイン電極とは別の前記透光性基板上に第2の不純物をドーピングした、金属、金属シリサイド、導電性金属酸化物等からなる第2のソース・ドレイン電極を選択的に形成する工程と、前記第1および第2のソース・ドレイン電極を被覆するように活性層となる半導体薄膜を形成する工程と、その半導体薄膜に対してエネルギービームの照射を行うとともに前記第1および第2のソース・ドレイン電極中に含まれる第1および第2の不純物を前記半導体薄膜中の前記第1および第2のソース・ドレイン電極相当部にそれぞれ拡散させてその半導体薄膜を電気的に活性化させる工程を、その半導体薄膜をパターン形成する工程を、そのパターン化された半導体薄膜を含む前記透光性基板上にゲート絶縁膜を形成する工程と、その絶縁膜上にゲート電極を形成する工程とを少なくとも有する薄膜トラン

ジスタの製造方法。

- (3) 第1のソース・ドレイン電極を選択的に形成する工程と第2のソース・ドレイン電極を選択的に形成する工程との工程順序を入れ換えた請求項2記載の薄膜トランジスタの製造方法。
- (4) 活性層となる半導体薄膜に珪素を含む半導体薄膜を用いた請求項1、2または3記載の薄膜トランジスタの製造方法。
- (5) エネルギービームとしてレーザー光を用いた請求項1、2、3または4記載の薄膜トランジスタの製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は、液晶表示素子のアクティブマトリックスアレイ、イメージセンサー、三次元集積回路、半導体メモリー等に利用される薄膜トランジスタの製造方法に関する。

従来の技術

薄膜トランジスタをマトリックス状に集積化した液晶ディスプレイ用アクティブマトリックスア

レイの製造方法を例にとって説明する。

ついで第3図(d)に示すようにアンドープ非晶質シリコン薄膜4aをソース・ドレイン電極を被覆するように形成する。第3図(d)に示すように非晶質シリコン薄膜4に対してレーザー光を照射し非晶質シリコン薄膜を結晶化し、シリコン薄膜(4b)を得る。つぎに第3図(e)に示すように結晶化したシリコン薄膜4を島状にエッチング除去した後、SiNx膜等からなるゲート絶縁膜5を全面に形成する。最後に第3図(f)に示すようにゲート電極6を形成し、薄膜トランジスタが完成する。

上記技術に関しては、例えばアイ・イー・イー・イー トランザクション オン エレクトロニクス デバイシス (IEEE Trans.on Electron Devices, Vol.36 No.12 pp.2868-2872 December 1989) を参照できる。

発明が解決しようとする課題

このような従来の薄膜トランジスタの製造方法では、アンドープ非晶質シリコン薄膜4aと不純物をドーピングした非晶質シリコン薄膜3の2種

の製造方法を例にとって説明する。

アクティブマトリックスアレイに用いる薄膜トランジスタの活性層には300℃前後の比較的低温で、かつ大面積基板に成膜可能な非晶質シリコンが主に用いられてきたが、この非晶質シリコンを用いた薄膜トランジスタは移動度が小さいために駆動回路を同一基板上へ作成することが困難である。そのため近年非晶質シリコンに比べ移動度が大きく駆動回路を同一基板上に作成可能な多結晶シリコンを活性層に用いた薄膜トランジスタの研究が活発に行われている。

第3図に順スタガー型nチャネル多結晶シリコン薄膜トランジスタの製造方法を例にとって説明する。

第3図(a)に示すようにガラス基板等の透光性基板1上にCr薄膜等の金属薄膜2を形成し、金属薄膜2上に燐(P)をドーピングした非晶質シリコン薄膜3を形成する。第3図(b)に示すようにPをドーピングした非晶質シリコン薄膜3および金属薄膜2をフォトリソグラフィ技術を用いてソ

レの薄膜を個別に作成する必要がある。

また多結晶シリコン薄膜トランジスタを用いて液晶表示装置を作成する場合、液晶表示装置の駆動回路を同一基板上に形成することが重要である。そのためには低消費電力化が可能であるCMOS構造(nチャネル薄膜トランジスタとpチャネル薄膜トランジスタを集積化した構造)が必要となる。しかし第3図に記載の従来の製造方法では、同一基板上にnチャネルとpチャネルの2種類の薄膜トランジスタを作成するためにはアンドープ非晶質シリコン薄膜の他にドナーおよびアクセプタを含んだ2種類の非晶質シリコン薄膜が必要となり、合計3種類の非晶質シリコン薄膜を作成する必要があり、作成プロセスが非常に複雑となるという課題がある。

本発明は上記課題を解決するもので、作成プロセスが簡単で、同一基板にもCMOS構造が容易に作成できる薄膜トランジスタの製造方法を提供することを目的としている。

課題を解決するための手段

本発明は上記目的を達成するために、透光性基板上に活性層に用いる半導体薄膜に対してドナーあるいはアクセプタとなる不純物を導入した金属、不純物を導入した金属シリサイドまたは不純物を導入した導電性金属酸化物からなるソース・ドレイン電極を選択的に形成し、そのソース・ドレイン電極を被覆するように活性層となる半導体薄膜を形成する工程と、その半導体薄膜に対してエネルギービームの照射を行い半導体薄膜を結晶化する工程と、その結晶化された半導体薄膜上に絶縁膜を形成し、その絶縁膜上にゲート電極を形成する構成よりなるものと、さらにC-MOS構造のための、反対のタイプの不純物をドーピングしたソース・ドレイン電極を追加した構成のものとからなる。

作用

本発明は上記した構成により、スパッタリング法等の同一装置で連続して、Cr薄膜等の金属薄膜と不純物をドーピングした金属シリサイド薄膜等とを形成することができ、半導体薄膜に対して

エネルギービームの照射を行うことにより半導体薄膜が結晶化されると同時に金属シリサイド薄膜等からなるソース・ドレイン電極中に含まれる不純物が半導体薄膜中へ拡散し電気的に活性化することにより不純物ドーピング領域が形成される。

さらに同一透光性基板上に活性層である半導体薄膜に対してドナーおよびアクセプタとなる不純物を各々に含む、金属、金属シリサイドまたは導電性金属酸化物からなる2種類のソース・ドレイン電極を選択的に形成しておけば同一透光性基板上にnチャネルおよびpチャネルの薄膜トランジスタを容易に作成することが可能となる。

実施例

以下、本発明の一実施例について第1図および第2図を参照しながら説明する。

第1図は本発明の第1の実施例の薄膜トランジスタの製造方法を示す工程図である。

まず第1図(a)に示すように、ガラス基板等の透光性基板11上にCr薄膜等の金属薄膜12を形成する。ここまでは従来例と同様で、つぎにCr

薄膜12上に燐(P)をドーピングした MoSi_x 薄膜(以下 $\text{MoSi}_x:\text{P}$ と略す)13を形成する。Cr薄膜12および $\text{MoSi}_x:\text{P}$ 薄膜13はスパッタリング法によって同一装置により連続形成している。ついで第1図(b)に示すようにソース・ドレイン電極の形状に $\text{MoSi}_x:\text{P}$ 薄膜13およびCr薄膜12をエッチング除去する。第1図(c)に示すようにソース・ドレイン電極の金属を被覆するように従来例と同じようにアンダー非晶質シリコン薄膜14aを形成する。非晶質シリコン薄膜14aの形成には従来例同様プラズマ気相成長法(PECVD法)を用いている。ついで第1図(d)に示すように非晶質シリコン薄膜14aに対してエネルギービームの照射を行う。第1図中ではエネルギービームとしてXeClエキシマレーザー(波長308nm)を用いており、エネルギービームの照射により非晶質シリコン薄膜14aが結晶化してシリコン薄膜14bとなると同時にソース・ドレイン電極中に含まれていた不純物(P)が半導体薄膜中に取り込まれ電気的に

活性化する。第1図(e)に示すように結晶化したシリコン薄膜14bを島状にエッチングした後、 SiN_x 膜等からなるゲート絶縁膜15を従来例同様PECVD法により形成し、さらに第1図(f)に示すように従来例同様ゲート電極16を形成して薄膜トランジスタが完成する。

このような薄膜トランジスタの製造方法では、不純物(P)を含んだ非晶質シリコン薄膜3を従来例のようにPECVD法で形成する必要がなく $\text{MoSi}_x:\text{P}$ をスパッタ法によりCrとともに連続して堆積できるので作成プロセスが簡略化され、スループットの増大が図られ、コストが低減した。

なお第1図のnチャネル薄膜トランジスタを作成するために金属電極としてPをドーピングした MoSi_x 薄膜を用いたが、ソース・ドレイン電極として例えばホウ素(B)をドーピングした MoSi_x 薄膜を用いることによりpチャネル薄膜トランジスタが実現できる。

本実施例では不純物を含むソース・ドレイン電

極としてMoSi_x薄膜13すなわち金属シリサイドを用いた場合を示したが、金属または導電性金属酸化物でもよい。

第2図は本発明の第2の実施例の薄膜トランジスタの製造方法の工程図である。

第2図(a)に示すようにガラス基板等の透光性基板21上に燐(P)をドーピングしたMoSi_x膜23aを形成する。第2図(b)に示すように第1のソース・ドレイン電極23aの形状にMoSi_x:P膜23aをエッチングした後、全面にBをドーピングしたWSi_x薄膜(以下WSi_x:Bと略す)23bを形成する。ついで第2図(c)に示すように第1のソース・ドレイン電極の形状と異なる形状にWSi_x:B膜23bをエッチングし第2のソース・ドレイン電極23bを形成する。MoSi_x:P薄膜23a、WSi_x:B薄膜23bはスパッタリング法により作成している。第2図(d)に示すように第1および第2のソース・ドレイン電極23a、23bを被覆するようにアンドープ非晶質シリコン薄膜24を形成する。非

晶質シリコン薄膜24aの形成にはプラズマ気相成長法(PECVD法)を用いている。ついで第2図(e)に示すように非晶質シリコン薄膜24aに対してエネルギービームの照射を行う。第2図(e)でも第1図(c)と同様にエネルギービームとしてXeClエキシマレーザー(波長308nm)を用いており、エネルギービームの照射により非晶質シリコン薄膜24aが結晶化してシリコン薄膜24bとなり、同時に第1および第2のソース・ドレイン電極中に含まれていた不純物(PおよびB)がシリコン薄膜24b中に取り込まれ電氣的に活性化する。第2図(f)に示すように結晶化したシリコン薄膜24bを島状にエッチングした後、SiNx膜等からなるゲート絶縁膜25をPECVD法により形成し、第2図(g)に示すようにゲート電極26を形成し、薄膜トランジスタが完成する。

本発明の製造方法を用いて薄膜トランジスタを作成したところ、nチャネルおよびpチャネルの薄膜トランジスタを同一基板上に容易に作成でき、

製造工程の簡略化を図ることが可能となった。

なお第2図に記載の薄膜トランジスタの製造方法において、第1のソース・ドレイン電極(MoSi_x:P薄膜23a)と第2のソース・ドレイン電極(WSi_x:B薄膜23b)の形成順序を逆にしても第2図のものと同様の効果を得ることが可能である。従って第1および第2のソース・ドレイン電極材料のエッチング特性等により電極の形成順序を選択でき、作成プロセスの自由度が増加する。

なお本実施例では不純物を導入した電極の作成に一般的なスパッタリング法を用いたが、他の方法を用いても可能であり、例えば多元スパッタ法や気相成長法あるいはイオン注入等を用いても同様の効果が得られる。さらに活性層にシリコン半導体を用いる場合には、不純物を導入する電極材料としては硅化物(シリサイド)あるいはエネルギービームの照射で硅化物(シリサイド)を形成するような金属が望ましい。

発明の効果

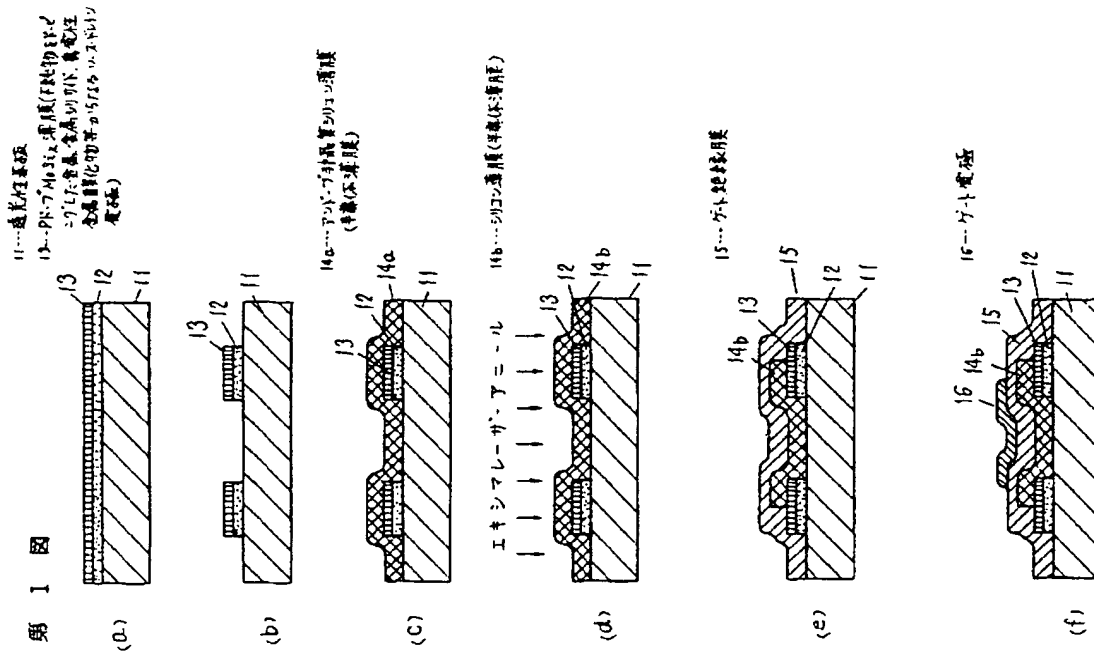
以上の実施例から明らかなように本発明によれば、不純物をドーピングした金属シリサイド薄膜等からなるソース・ドレイン電極を用いているので、従来プラズマCVDにより作成していた不純物をドーピングした半導体薄膜の作成が不要となり製造工程の簡略化が図れ、ソース・ドレイン電極中に導入する不純物を選択することによりpチャネルおよびnチャネルのトランジスタを容易に作成することが可能で、同一基板上にnチャネル薄膜トランジスタとpチャネル薄膜トランジスタを集積化したC-MOS構造を容易に作成でき製造コストの低減が図れる薄膜トランジスタを提供できる。

4、図面の簡単な説明

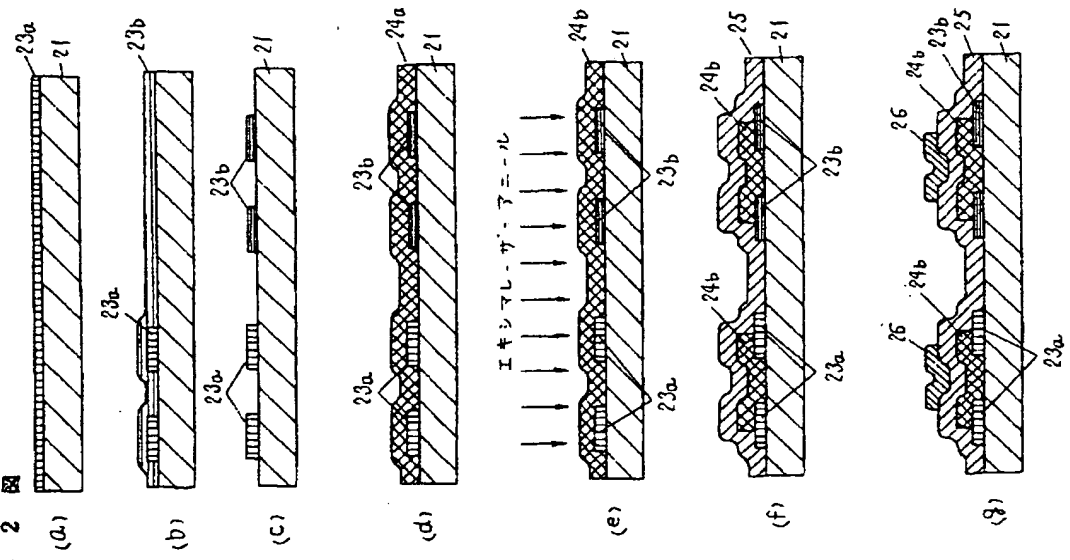
第1図(a)~(f)は本発明の第1の実施例の薄膜トランジスタの製造方法を示す工程断面図、第2図(a)~(g)は本発明の第2の実施例の薄膜トランジスタの製造方法を示す工程断面図、第3図(a)~(f)は従来の薄膜トランジスタの製造方法を示す工程断面図である。

11……透光性基板、13……Pドーブ
MoSi_x薄膜（不純物をドーピングした、金属、
金属シリサイド、導電性金属酸化物等からなるソ
ース・ドレイン電極）、14a……アンドープ非
品質シリコン薄膜（半導体薄膜）、14b……シ
リコン薄膜（半導体薄膜）、15……ゲート絶縁
膜、16……ゲート電極。

代理人の氏名 弁理士 小堀治 明 ほか2名



第 2 図



第 3 図

